

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323605
(43)Date of publication of application : 24.11.2000

(51)Int.Cl. H01L 23/12
H01L 21/60
H01L 23/14

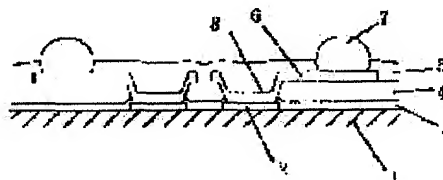
(21)Application number : 11-128061 (71)Applicant : HITACHI LTD
(22)Date of filing : 10.05.1999 (72)Inventor : YAMAGUCHI YOSHIHIDE
NARIZUKA YASUNORI
ITO MITSUKO
TENMYO HIROYUKI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, ELECTRONIC DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To ease a thermal stress resulting from thermal expansion difference between a substrate and a chip by arranging a resin layer including a porous resin between a passivation film and a conductor layer.

SOLUTION: After a passivation film 3 having a predetermined aperture 8 is formed on a semiconductor element 1, this film is coated by the spin coating method with a photosensitive polyimide varnish (glass transition temperature $>250^{\circ}\text{C}$) that becomes a first resin layer 4, and an internal porous film (vacant hole coefficient is about 30%) is formed by blowing hot air. Next, a conductor wiring 5 is formed in a predetermined shape by eliminating an organic material on the semiconductor element electrode 2. A second resin layer 5 consisting of diversified epoxy resin (elasticity at 25°C = 2.2 Gpa, glass transition point = 120°C , breakdown elongation = 9%, thickness $3\text{ }\mu\text{m}$) is formed to cover the conductor wiring 6. As a result, a stress generated due to the expansion coefficient difference between the substrate and chip can be eased by deformation of wiring, first resin layer 4 and second resin layer 5. Moreover, since the porous polyimide has a good dielectric property, electrostatic capacity is reduced and signal characteristic can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323605

(P2000-323605A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl.⁷

識別記号

F I

テームコート* (参考)

H 0 1 L 23/12

H 0 1 L 23/12

L

21/60

21/92

6 0 2 L

23/14

23/14

R

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平11-128061

(22) 出願日 平成11年5月10日 (1999. 5. 10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山口 欣秀

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 成塚 康則

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

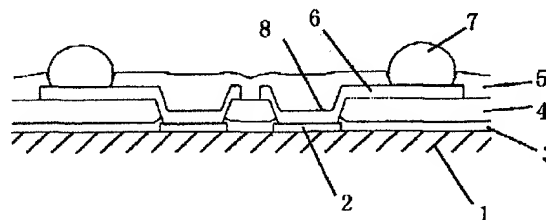
(54) 【発明の名称】 半導体装置とその製造方法、およびこれを用いた電子機器

(57) 【要約】

【課題】実装基板との熱膨張差によって生じる応力を確実に緩和する低コストな半導体装置およびその製造方法を提供する。

【解決手段】本発明は、半導体素子表面のバッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層が多孔性樹脂からなる層を少なくとも1層含むようにする。多孔性樹脂からなる層を少なくとも1層含む樹脂層を使用することによって、樹脂の応力緩和特性を向上させ、その結果として、基板とチップとの熱膨張差に起因して発生する熱応力を緩和する機能を高める。

[図1]



【特許請求の範囲】

【請求項1】半導体素子表面のパッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層が多孔性樹脂からなる層を少なくとも1層含むことを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、パッシベーション膜上に設けられる樹脂層の少なくとも一部が多孔性樹脂を含む場合、前記多孔性樹脂は、そのガラス転移温度 T_g または融点 mp が 200°C 以上であって、かつその空孔率が3%以上90%未満であることを特徴とする半導体装置。

【請求項3】請求項1または2記載の半導体装置において、パッシベーション膜上に設けられる樹脂層の少なくとも一部が多孔性樹脂を含む場合、前記多孔性樹脂が多孔性ポリイミドであることを特徴とする半導体装置。

【請求項4】請求項1～3いずれかに記載の半導体装置において、パッシベーション膜上に設けられる樹脂層の少なくとも一部が多孔性樹脂を含む場合、前記多孔性樹脂が以下の(1)または(2)のいずれかを満たすことを特徴とする半導体装置。

(1) 前記パッシベーション膜上に設けられる樹脂が少なくとも3層以上からなり、前記多孔性樹脂は前記樹脂層の最上層、最下層のいずれにも該当しない。

(2) 前記多孔性樹脂が、表面スキン層と内部多孔層とからなる。

【請求項5】請求項1～3いずれかに記載の半導体装置において、パッシベーション膜上に設けられる樹脂層の少なくとも一部が多孔性樹脂を含む場合、前記多孔性樹脂は、前記半導体素子電極部に接続された所望形状の導体層と半導体素子表面のパッシベーション膜との間に形成されていることを特徴とする半導体装置。

【請求項6】半導体素子表面のパッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子の電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層の少なくとも一部が多孔性樹脂からなる層を含み、該多孔性樹脂を含む樹脂層は以下の(1)～(4)の工程を経て形成されることを特徴とする半導体装置の製造方法。

(1) 前記半導体素子が多数個形成されたウェハ上にパッシベーション膜を形成する工程、

(2) 前記パッシベーション膜上の所望の箇所に接着剤となる層を形成する工程、

(3) 前記接着剤層の上にあらかじめ所望の形状に形成された多孔性膜を貼り付ける工程、

(4) 前記多孔質膜を含む少なくとも1層以上の樹脂層上に前記半導体素子の電極部に接続された所望形状の導体層を形成する工程。

【請求項7】半導体素子表面のパッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子の電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層の少なくとも一部が多孔性樹脂からなる層を含み、該多孔性樹脂を含む樹脂層は以下の(1)～(4)の工程を経て形成されることを特徴とする半導体装置の製造方法。

(1) 前記半導体素子が多数個形成されたウェハ上にパッシベーション膜を形成する工程、

(2) 前記パッシベーション膜を形成した半導体素子の所望の箇所に多孔性樹脂の前駆体となるワニス塗布する工程、

(3) 前記多孔性樹脂前駆体ワニスから多孔性樹脂層を形成する工程、

(4) 前記多孔質膜を含む少なくとも1層以上の樹脂層上に前記半導体素子の電極部に接続された所望形状の導体層を形成する工程。

【請求項8】請求項1～5いずれかに記載の構成を有するチップサイズパッケージ。

【請求項9】請求項6または7記載の方法によるチップサイズパッケージの製造方法。

【請求項10】請求項1～5いずれかに記載の半導体装置、あるいは請求項8記載のチップサイズパッケージと他の配線基板とを接続した電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSIを基板上に搭載して機能させる電子機器全般に関する配線基板(回路基板)の構造およびその製造方法に関する。特に、高密度実装に適した半導体素子や接続信頼性を向上させたチップサイズパッケージの構造およびそれらの製造方法に関する。

【0002】

【従来の技術】LSIを配線基板に直接接続する方法としては、ワイヤーボンド(WB)やテープオートメーテッドボンド(TAB)などの方式が主流であった。これらの方式では、柔軟性がある塑性変形しやすいAu細線などを用いてLSIの外部接続端子と配線基板との接続電極との間を接続するところに特徴がある。このような塑性変形しやすい接続部を持つことによって、接続時および接続後の熱工程におけるLSIと配線基板との熱膨張差は接続部の変形によって吸収され、高い接続信頼性が確保できる(第1の従来技術)。

【0003】しかしながら、上記第1の従来技術では、その接続方法そのものに起因してLSIの外部接続端子はLSIの4辺に配置する以外にはなく、LSIの接続端子数増大には十分に対応できないという問題がある。

【0004】上記第1の従来技術の問題を解決するため、LSIの外部接続端子をエリアアレイ状に配置する

とともに、LSIの外部接続端子と配線基板上の接続電極との間をはんだボールで接続する方法が提案されている(第2の従来技術)。

【0005】上記第2の従来技術では、LSIと配線基板とをエリアアレイ配列の微小なはんだボールのみで直接接続するため、接続端子数が増大しても実装面積を増やさずに済むというメリットがある。

【0006】しかしながら、上記第2の従来技術ではLSIと配線基板との熱膨張差を微細なはんだボールのみで吸収させる構造であるため、接続部の信頼性は必ずしも高くはない。LSIと配線基板との熱膨張差が大きい場合には、はんだボールの塑性変形限界以上の変位を受けて接続部が破壊されたり、あるいは塑性変形限界以下のわずかな変位であっても変形を繰り返すことによって疲労破壊が起こったりするからである。

【0007】上記第2の従来技術の欠点を改良して接続部の信頼性を高める技術として、LSIと配線基板との間の空間にアンダーフィルレジンと呼ばれる樹脂を注入・硬化させてLSIと実装基板とを固着(以下LSI基板固着体)する方法がある。この技術によれば、LSIと実装基板とを固着したことによって熱応力をLSI基板固着体全体に分散させてはんだ接合部に生じる歪み量を平均化し、接合部位の破壊を防止することができる(第3の従来技術)。

【0008】しかしながら、上記第3の従来技術ではアンダーフィルをLSIと基板との間の僅かな隙間から充填するため、充填に長時間がかかったり、全体に均一に充填されなかったり、あるいは、ボイドが発生したりするという問題(アンダーフィル充填不良)が発生する(第3の従来技術における第1の課題)。

【0009】また、これまではんだ接合部の塑性変形の形で逃がしていた基板沿面方向の熱応力がLSI基板固着体全体に作用する結果として、LSI基板固着体とその膜厚方向に変形させ、全体が反るといった現象が起こる。この変形により、基板内配線が断線しやすくなったり、あるいはLSI内の素子特性が変動するという問題が発生する場合がある(第3の従来技術における第2の課題)。

【0010】さらに、アンダーフィル充填不良(第3の従来技術における第1の課題)を低減させるために、各LSIチップの形状、寸法によってそれぞれに別々の条件で充填作業を行うため、基板上に多数個のLSIを実装する場合には、操作が繁雑になるという問題もある(第3の従来技術における第3の課題)。

【0011】上記第3の従来技術の課題を解決するために、特開平10-125705号公報では圧縮成型法によって封止樹脂を充填する技術を提案している(第4の従来技術)。

【0012】この技術では、LSIと実装基板とを金型内に装着して樹脂を圧縮成型するので、アンダーフィル

充填不良(第3の従来技術における第1の課題)は発生しない。

【0013】しかしながら、はんだ接合部を包み込むように剛直な樹脂で固定することによって熱応力をLSI基板固着体全体に分散させるという観点では上記第3の従来技術と同じであり、個々のはんだボールにかかる沿面方向の熱応力は低減されるものの、上記第3の従来技術における第2の課題である基板の反りに対してはなんらの解決にもなっていない。

【0014】上記第2及び第3の従来技術の課題を解決する別種の技術として、特開平10-092865号公報ではLSIのパッシベーション膜上に樹脂層-配線層-樹脂層からなる薄膜配線を形成した後に、この薄膜配線に設けた接続電極(パッケージ電極)と実装基板上の接続電極とを接続することを提案している(第5の従来技術)。

【0015】上記第5の従来技術における第1の特徴は、LSIと実装基板との間の接合部がはんだボールと薄膜配線とからなり、該薄膜配線の周囲には樹脂層が配置された構造になっていることにある。このような構造を取ることによって、LSIと配線基板との熱膨張差をはんだボールと薄膜配線とに分散し、樹脂層が衝撃を吸収するので、はんだボール破断(第2の従来技術の課題)を防止できる。さらに、LSIと実装基板とを固着するわけではないのでLSIや実装基板の変形(第3の従来技術における第2の課題)を抑制できる。

【0016】上記第5の従来技術における第2の特徴は、LSIを個片に切断する前にパッシベーション膜上に第1樹脂層-配線層-第2樹脂層からなる薄膜配線を形成することにある。このような製造工程を経ることによって、複数個のLSIチップをウェハ上で一括処理できるうえ、LSIチップを個片に切り離した後に個々のLSIチップにアンダーフィルを充填する(第3の従来技術における第3の課題)必要もない。

【0017】これまでに述べたことから、上記第5の従来技術はそれ以前の第1から第4の従来技術の課題をほぼ解決できることがわかった。

【0018】

【発明が解決しようとする課題】本発明者らは、チップと基板との接続信頼性の問題を根本的に解決し、接続信頼性の良い高密度実装対応のチップとチップ製造技術を低コストで提供することを目指して独自に検討したところ、上記第5の従来技術には以下の(1)～(7)に列挙する課題があつてさらに工夫が必要であることがわかった。

【0019】(1)パッシベーション膜上に形成する第1樹脂層に半導体素子電極部を露出させるための開口部を形成する工程がエッチングである。特開平10-092865号公報では、第1樹脂層がポリイミド系樹脂、エポキシ系樹脂、シリコン系樹脂のいずれかであると述べられているが、これらはいずれも熱硬化性樹脂であつて耐薬

品性も高いためエッチング除去は容易でない。

【0020】(2)第1樹脂層をエッチング除去できる条件に対しては、一般的に使用されるエッチングレジストは耐性を持たない。従って、所望の開口部を有する第1樹脂層を形成するには、レジストを第1樹脂層よりかなりの程度厚く形成するか、多層レジスト法を用いるか、特別な材質のエッチングレジストを使用するなど、煩雑で長時間・高コストを要する。

【0021】(3)第1絶縁層をエッチングで形成するため、開口部の断面形状は上端が広がることは避けられない。開口部上端が広がっていると隣の開口部との間隔が狭まり、接続不良や短絡を起こしやすくなる上、エッチングレジストのフォトリソグラフィ工程での位置精度要求が厳しくなるという問題もある。

【0022】(4)上記(1)～(3)の問題を抑制するためには第1樹脂層膜厚をごく薄くする必要があるが、第1樹脂層を薄くすると発明の初期目的である薄膜配線層の応力緩和機能が期待できない。

【0023】(5)特開平10-092865号公報では第1樹脂層、第2樹脂層、(およびポリイミド樹脂層)によって応力が緩和すると述べている。しかしながら、LSI(Si)や配線(Cu)の弾性係数は樹脂系材料と比べて凡そ100倍程度大きい。従って、これら樹脂層が存在してもLSIや配線の熱膨張量への影響はわずかであって、本公報で提案されている技術だけではLSIと実装基板との熱膨張差は縮まらない。

【0024】(6)逆に、薄膜配線層の下部に第1樹脂層を形成したことにより、線膨張係数が配線層よりも数倍大きな第1樹脂層がパッケージ電極を押し上げる応力が発生する。この応力が配線層に作用することにより配線断線しやすくなるという新たな課題が発生する。

【0025】(7)上記(1)～(6)で明らかなように、発明の初期目的を達成するためには薄膜配線層に使用する第1樹脂層や第2樹脂層は特定の膜厚、線膨張係数、断面形状でなければならない、プロセスと整合する特定範囲の物性値(耐熱性、加工性)をも有している必要がある。

【0026】本発明の目的は、第5の従来技術の課題を解決して実装基板との熱膨張差によって生じる応力を確実に緩和する低コストな半導体装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】前記目的を達成するために、半導体素子表面のパッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子電極部に接続された所望形状の導体層を有している半導体装置において、本願発明では、前記樹脂層が多孔性樹脂からなる層を少なくとも1層含むようにする。多孔性樹脂からなる層を少なくとも1層含む樹脂層を使用することによ

て、樹脂の応力緩和特性を向上させ、その結果として、基板とチップとの熱膨張差に起因して発生する熱応力を緩和する機能を高める。

【0028】本発明に好適な多孔性樹脂は、そのガラス転移温度 T_g または融点 m_p が 200°C 以上である。このような多孔性材料の具体例をあげると、多孔性ポリイミド、多孔性ポリスルホン、多孔性ポリアミドイミドなどがあるが、この中でも多孔性ポリイミドが特に好適である。

【0029】ガラス転移温度あるいは融点が 200°C 以下である場合には、当該半導体装置の製造工程中あるいは半導体装置と実装基板を接続するはんだ付け工程中で多孔性を失ない、その結果、本願発明の目的である応力緩和特性が低下するためである。逆に、ガラス転移温度 T_g または融点 m_p が 200°C 以上であれば特に上限はなく、材料の加工性、価格や入手の容易さなどの要因を総合的にかんがみて適宜選択することが可能である。

【0030】本発明では空孔率が3%以上90%未満の多孔性樹脂が好適に用いられる。空孔率が3%未満であると本願発明の目的である応力緩和特性が十分ではなく、逆に空孔率90%超になると樹脂の機械的強度(破断伸び、破断強度)が小さくなって配線絶縁体としての機能を果たさなくなる。

【0031】多孔性樹脂を配線絶縁層に使用する場合には、工程中で処理液が空孔内に取り込まれたり、あるいは空孔表面が水蒸気を吸着したりして、絶縁特性や誘電率の低下を引き起こす可能性がある。本発明では、このような危険性を排除するために、多孔性樹脂表面の開口部を封じるという工夫をする。より具体的には、本発明では、以下の(1)または(2)のような工夫により、多孔性樹脂表面の開口部を封じる。

【0032】(1)パッシベーション膜上に設けられる樹脂が少なくとも3層以上からなり、多孔性樹脂を前記樹脂層の最上層、最下層のいずれにも該当しないように配置する。

【0033】(2)前記多孔性樹脂が、表面スキン層と内部多孔層とからなる断面構造となるように形成させる。

【0034】本発明では、上記のような特徴の多孔性樹脂を含有する樹脂層の応力緩和特性を発揮させるために、半導体素子電極部に接続された導体層と半導体素子表面のパッシベーション膜との間に該樹脂層を形成する。パッシベーション膜と導体層との間に応力緩和機能を持つ多孔性樹脂を含有する樹脂膜を配したことによって、配線に作用する応力に追従して樹脂層が変形し、その結果として該応力は緩和される。

【0035】本発明の技術によって得られる上記のような応力緩和機能を内包する半導体装置はチップサイズパッケージとして使用することができ、また、逆にチップサイズパッケージとして使用することによりその応力緩

和機能が有効に活用できる。

【0036】本発明では、上記のような応力緩和特性を有する樹脂層を形成するために、以下の(1)から

(4)の工程を経て多孔性樹脂を含有する樹脂膜を形成する。

【0037】(1)前記半導体素子が多数個形成されたウェハ上にパッシベーション膜を形成する工程、(2)前記パッシベーション膜上の所望の箇所に接着剤となる層を形成する工程、(3)前記接着剤層の上にあらかじめ所望の形状に形成された多孔性膜を貼り付ける工程、

(4)前記多孔質膜を含む少なくとも1層以上の樹脂層上に前記半導体素子の電極部に接続された所望形状の導体層を形成する工程。

【0038】このような工程を経ることにより、所望の箇所に応力緩和特性を有する多孔性樹脂を含有する樹脂層を形成し、その結果として、実装基板とLSIチップとの間に発生する熱応力を緩和する。なお、上記(1)から(4)の工程の間、あるいは工程の前後に必要な応じて公知慣用な工程を付加してもかまわない。例えば、上記(3)の工程の後に、多孔性膜上面に導体層との接着性を向上させるための接着層を形成する工程挿入したり、多孔性膜表面を加熱してその表面にある開口部を融着・封止させる工程を挿入してもよい。

【0039】本発明では、上記のような応力緩和特性を有する樹脂層を形成する第2の方法として、以下の

(1)～(4)の工程を経て多孔性樹脂を含有する樹脂層を形成する。

【0040】(1)前記半導体素子が多数個形成されたウェハ上にパッシベーション膜を形成する工程、(2)前記パッシベーション膜を形成した半導体素子の所望の箇所に多孔性樹脂の前駆体となるワニス塗布する工程、(3)前記多孔性樹脂前駆体ワニスから多孔性樹脂層を形成する工程、(4)前記多孔質膜を含む少なくとも1層以上の樹脂層上に前記半導体素子の電極部に接続された所望形状の導体層を形成する工程。

【0041】本発明では、これらの工程で公知慣用の技術を最大限に活用することに何ら問題はなく、例えば、上記(2)の工程で多孔性樹脂の前駆体となるワニス塗布する際には、(a)スクリーン印刷する、(b)全面成膜しておいてからレーザー加工により不要箇所の樹脂を除去する、(c)あらかじめワニス塗布の箇所に撥水撥油剤を塗布しておいてから全面にワニスを塗布する、(d)フォトリソグラフィの技術によりあらかじめ不要の箇所にレジストを形成しておいてから全面にワニスを塗布する、などの技術が使用できる。また、必要に応じて肯定の一部の順序を変更しても良く、たとえば、全面に塗布した多孔性樹脂前駆体ワニスから多孔性樹脂層を形成した後に不要箇所をフォトリソグラフィやレーザー加工の技術によって除去しても良い。さらに、上記(1)から(4)の工程の間、あるいは工程の前後に必要な応じて

公知慣用な工程を付加しても問題がないことはあらためて言うまでもない。

【0042】本発明では、上記のような応力緩和特性を有する樹脂層を形成する製造方法、製造技術を提供することを通して、チップサイズパッケージとして好適な半導体装置の製造方法を確立できた。また上記のような応力緩和機能を内包するチップサイズパッケージ、チップサイズパッケージの製造方法を提供したことにより、接続信頼性の高いチップサイズパッケージを得ることができ、このチップサイズパッケージを用いることによって、高性能・高信頼性の電子機器を提供することができた。

【0043】本発明によると、半導体装置に上述のような特徴を有する樹脂層を形成することによって、接続信頼性が高く、電気特性に優れた、高密度実装に適した安価な半導体装置を得ることができ、このような半導体装置を適宜他の配線基板とはんだで接続することによって、高性能な電子機器を提供できる。

【0044】

【発明の実施の形態】以下本発明の実施形態について図面を用いて説明する。

【0045】[実施例1]図1は、本願発明による一実施形態の半導体装置断面の一部であって、半導体素子電極部とそこから引き出した配線、およびパッケージ電極部、およびそれらの周囲の断面構造を示している。以下、本実施形態の構造について図面に従って説明する。

【0046】本実施形態の半導体装置は、パッケージ電極7を通して実装基板と電氣的に接続する。パッケージ電極7は、配線6によって半導体素子電極部2と電氣的に接続する。配線6の下には第1樹脂層を設けており、配線6の上には第2樹脂層を形成してある。第1樹脂層と半導体素子1との間にはパッシベーション膜3が存在する。

【0047】本実施例では、第1樹脂層には多孔性ポリイミド(ガラス転移温度 $>250^{\circ}\text{C}$)、第2樹脂層には変成エポキシ樹脂(25°C での弾性率 $=2.2\text{GPa}$ 、ガラス転移点 $=120^{\circ}\text{C}$ 、破断伸び $=9\%$ 、膜厚 $3\mu\text{m}$)を用いている。

【0048】第1樹脂層の形成は、以下の手順によって行なった。まず、半導体素子1上に所望の開口部を有するパッシベーション膜を形成した後、第1樹脂層である多孔性ポリイミドの前駆体となるワニスをスピン塗布した。このようにして得られた塗布膜の表面に熱風を吹きつけてスキン層を形成させ、いわゆる相転換法を使用して内部多孔膜を形成させた(空孔率約30%)。通常の相転換法では内部多孔化の後には、乾燥や熱処理を施すが、本実施例では、熱処理の前にフォトリソ工程によって開口部8を設けて半導体素子電極部2を露出させ、しかる後に、熱硬化させた。なお、本実施例ではパッシベーション膜上で相転換法によって作製した多孔性フィル

ムを用いたが、公知慣用のいずれの多孔性フィルム形成法でも特に問題はない。

【0049】この後、半導体素子電極部2上に化学吸着している有機物などを除去するために、酸素プラズマでアッシングした後、配線となる導体をスパッタ成膜し、いわゆるサブトラクティブ法により、エッチングレジスト成膜、露光、現像、エッチング、レジスト除去を経て所望形状の導体配線6を形成した。

【0050】最後に導体配線を覆うように第2樹脂層を形成して本実施例の半導体装置は完成した。この半導体装置を実装基板に搭載したところ、基板と半導体装置との膨張差によって発生した応力は配線、第1樹脂層、第2樹脂層がそれぞれ変形することによって緩和できた。また、多孔性ポリイミドは誘電特性がよいので、回路の静電容量が減少して信号特性も向上した。

【0051】[実施例2]図2は、本願発明による第2の実施形態を示す半導体装置断面の一部であって、半導体素子電極部とそこから引き出した配線、およびパッケージ電極部、およびそれらの周囲の断面構造を示している。以下、本実施形態の構造について図面に従って説明する。

【0052】本実施形態の半導体装置は、パッケージ電極7を通して実装基板と電気的に接続する。パッケージ電極7は、上層配線9及び配線6によって半導体素子電極部2と電気的に接続する。上層配線9および配線6の下にはそれぞれ、第2樹脂層5、第1樹脂層4を設けており、上層配線9および配線6の上には第3樹脂層10を形成してある。第1樹脂層4と半導体素子1との間にはパッシベーション膜3が存在する。本実施例の構造

(図2)と実施例1の構造(図1)との違いは、樹脂層が1層増えた点にある。樹脂層が1層増えたことによって、製造工程は長くなるが、実施例1における第1樹脂層4の機能(感光性、多孔性)を第1樹脂層4と第2樹脂層5とに分離させることが可能となって材料およびプロセスの選択範囲が広がるという利点がある。

【0053】本実施例では、第1樹脂層4にはポリイミド(ガラス転移温度 $>300^{\circ}\text{C}$)、第2樹脂層5には多孔性ポリイミド(ガラス転移温度 $>250^{\circ}\text{C}$)を用い、第3樹脂層10には実施例1の第2樹脂層5を用いた。

【0054】本実施例による図2構造の製造手順は以下の通りである。まず、半導体素子1上に所望の開口部を有するパッシベーション膜を形成した後、第1樹脂層4となる感光性ポリイミドワニス(日立化成デュボン(株)製)をスピン塗布した。90℃2分間のプリバーク処理の後、露光、ポストエクスポージャバーク、現像によって所望の開口部8を形成し、溶媒を除去したが完全な硬化に至らないように120℃30分、200℃2時間加熱した。

【0055】この後、半導体素子電極部2上に化学吸着している有機物などを除去するために酸素プラズマでア

ッシングした後、不完全硬化状態の第1樹脂層の上に配線導体6のめっき形成に必要な下地導電膜を蒸着によって形成し、いわゆるセミアディティブ法により、めっきレジスト成膜、露光、現像、パターンめっき、レジスト除去、下地導電膜除去(パターン分離)を経て所望形状の導体配線6を形成した。

【0056】こうして得られたものを140℃2時間処理して第1樹脂層4が吸収した水分を十分に取り除き、この上に、あらかじめ所望形状に加工した多孔性ポリイミドフィルム(孔径0.5マイクロメートル以下)を約10N/mの圧力下230℃で押し当てて密着させた。この密着操作時には第1樹脂層4は不完全硬化状態であるため、その粘着力により上記多孔性ポリイミドフィルムが固定されて第2樹脂層5になり、それと同時に多孔性ポリイミドフィルムの第1樹脂層側表面の微細孔開口部が第1樹脂層樹脂で封じられる。

【0057】この後、導体配線6形成と同等の工程により上層配線9を形成し、引き続き、第3樹脂層10を形成することによって本実施例の半導体装置は完成した。この半導体装置を実装基板に搭載したところ、基板と半導体装置との膨張差によって発生した応力は上層配線9、配線6、第1樹脂層4、第2樹脂層5、第3樹脂層10がそれぞれ変形することによって緩和できた。

【0058】[実施例3]本実施例では、第2樹脂層5としてあらかじめ所望の形状に成型した多孔性ポリイミドを用いる替わりに多孔性ポリイミドの前駆体となるワニスを塗布した以外は実施例2とほぼ同じである。また、第2樹脂層形成方法の変更にともなって、第1樹脂層形成方法にも若干の変更を加えたが、概略工程は実施例2と同じであり、実施形態を示す断面図も実施例2と同じ図2である。

【0059】本実施例による図2構造の製造手順は以下の通りである。まず、半導体素子1上に所望の開口部を有するパッシベーション膜を形成した後、第1樹脂層となる感光性ポリイミドワニス(日立化成デュボン(株)製)をスピン塗布した。90℃2分間のプリバーク処理の後、露光、ポストエクスポージャバーク、現像によって所望の開口部8を形成し、120℃30分、200℃30分、350℃1時間加熱して完全硬化させた。

【0060】この後、実施例2と同様、酸素プラズマアッシング、めっき下地導電膜の蒸着形成、めっきレジスト成膜、露光、現像、パターンめっき、レジスト除去、下地導電膜除去(パターン分離)を順次行なって所望形状の導体配線6を形成した。

【0061】こうして得られたものを140℃1時間処理して第1樹脂層4が吸収した水分を十分に取り除き、この上に、実施例1の第1樹脂層として用いた多孔性ポリイミドワニス前駆体をスクリーン印刷し、実施例1と同様の手順により多孔膜体を形成し、さらにこの多孔膜体の表面に熱板を押し当ててスキン層に形成されている

微細孔開口部を融着させて第2樹脂層5とした。

【0062】この後、実施例2と同様の工程により上層配線9、第3樹脂層10を形成して本実施例の半導体装置は完成した。この半導体装置を実装基板に搭載したところ、基板と半導体装置との膨張差によって発生した応力は上層配線9、配線6、第1樹脂層4、第2樹脂層5、第3樹脂層10がそれぞれ変形することによって緩和できた。

【0063】本実施例では、多孔性ポリイミドワニスをフォトリソグラフィで加工しないので、第2樹脂層（多孔性ポリイミド層）5の厚みは光透過量、露光感度などに制限されない。従って、第2樹脂層5を厚く形成することによって応力緩和機能を増大させることが可能である。

【0064】[実施例4]図3は、本願発明による第4の実施形態を示す半導体装置断面の一部であって、半導体素子電極部とそこから引き出した配線、およびパッケージ電極部、およびそれらの周囲の断面構造を示している。以下、本実施形態の構造について図面に従って説明する。

【0065】本実施形態の半導体装置は、パッケージ電極7を通して実装基板と電気的に接続する。パッケージ電極7は、上層配線9及び配線6によって半導体素子電極部2と電気的に接続する。上層配線9は第2樹脂層5の上に形成され、その両者は第3樹脂層10に覆われている。一方、配線6は第1樹脂層4の上に形成されて、その上を第2樹脂層5が覆っている。また、第1樹脂層4と半導体素子1の間にはパッシベーション膜3が存在する。本実施例の構造（図3）と実施例1の構造（図2）との違いは、第2樹脂層5が配線6及び第1樹脂層4を覆っていることにある。

【0066】本実施例による図3構造の製造手順は、第2樹脂層5をスピン塗布した後にレーザ加工するという手順によって形成するように変更した以外は実施例3と同じである。

【0067】まず、第1樹脂層4の形成手順は以下の通りである；パッシベーション膜形成、感光性ポリイミドワニス（日立化成デュボン（株）製）のスピン塗布、プリベーク処理（90℃2分間）、露光、ポストエクスポージャベーク、現像、120℃30分、200℃30分、350℃1時間加熱（完全硬化）。

【0068】この後、実施例3と同様、酸素プラズマアッシング、めっき下地導電膜の蒸着形成、めっきレジスト成膜、露光、現像、パターンめっき、レジスト除去、下地導電膜除去（パターン分離）を順次行なって所望形状の導体配線6を形成した。

【0069】こうして得られたものを140℃1時間処理して第1樹脂層が吸収した水分を十分に取り除き、この上に、実施例1の第1樹脂層として用いた多孔性ポリイミドワニス前駆体をスピン塗布し、樹脂例3と同様の

手順により多孔膜体形成、微細孔開口部の熱融着を行なって第2樹脂層5とした。この後、赤外線レーザ（日立精工製；LCO-1A21）により所望の開口部11を形成し、所定の加工残渣除去処理を行なった後、実施例3と同様の工程により上層配線9、第3樹脂層10を形成して本実施例の半導体装置は完成した。この半導体装置を実装基板に搭載したところ、基板と半導体装置との膨張差によって発生した応力は上層配線9、配線6、第1樹脂層4、第2樹脂層5、第3樹脂層10がそれぞれ変形することによって緩和できた。

【0070】本実施例では、多孔性ポリイミドワニスをフォトリソグラフィで加工しないので、第2樹脂層（多孔性ポリイミド層）5の厚みは光透過量、露光感度などに制限されない。従って、第2樹脂層5を厚く形成することによって応力緩和機能を増大させることが可能である。また、実施例2のシート張り合わせや実施例3のスクリーン印刷と比べて、レーザ加工は位置精度がよく、微細加工も容易であるので、より高密度・多ピンの半導体素子への適用が可能であった。

【0071】[実施例5]本実施例は実施例1と同様に第1樹脂層4の形成工程では多孔性ポリイミドの前駆体を含有するワニスをパッシベーション膜上へ塗布し、相転換法によって素子上で多孔化した。ただし、ポリイミドワニスの感光特性を利用せず、感光性レジストを別途用意してあらかじめ半導体素子電極部上のみに選択的にレジストを形成しておいてから、上記ポリイミドの前駆体を含有するワニスをスピン塗布し、多孔化工程でレジストも同時に剥離させるという手順で第1樹脂層を形成し、その後は実施例1とほぼ同じ手順、材料により実施例1と同じ断面構造（図1）を作製した。

【0072】本実施例による図1構造の製造手順は以下の通りである。まず、実施例1と同様にパッシベーション膜に所望の開口部を形成した。その後、多孔性ポリイミド前駆体ワニスの塗布に先立って液状ポジ型感光性レジスト（東京応化製）をスピン塗布し、所望のマスクを通して露光、現像を行なって第1樹脂層の開口部のみにレジストパターンを形成した。その後、実施例1と同様、多孔性ポリイミド前駆体ワニスのスピン塗布、スキニング形成を経て相転換法によって多孔化、熱硬化により第1樹脂層4を形成した。なお、上記レジストパターンは多孔化工程で同時に除去されて開口部8が形成され、半導体素子電極部2が露出した。この後、実施例3と同様、微細孔開口部の熱融着、上層配線9、第3樹脂層10を形成して本実施例の半導体装置は完成した。

【0073】この半導体装置を実装基板に搭載すると、基板と半導体装置との膨張差によって発生した応力を配線6、上層配線9、第1樹脂層4、第2樹脂層5、第3樹脂層10がそれぞれ変形することによって緩和できた。

【0074】

【発明の効果】本発明によれば、接続信頼性が高く、電気特性に優れた、高密度実装に適した安価な半導体装置を得ることができ、このような半導体装置を適宜他の配線基板とはんだで接続することによって、高性能な電子機器を提供できる。

【図面の簡単な説明】

【図1】本発明による一実施形態の一例を示す半導体装置断面概略図の一部である。

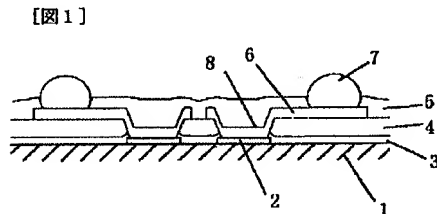
【図2】本発明による第2の実施形態の一例を示す半導体装置断面概略図の一部である。

【図3】本発明による第3の実施形態の一例を示す半導体装置断面概略図の一部である。

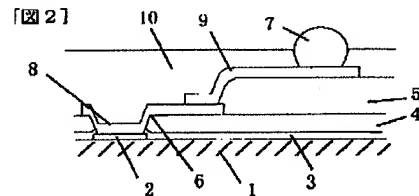
【符号の説明】

1. 半導体素子
2. 半導体素子電極部
3. パッシベーション膜
4. 第1樹脂層
5. 第2樹脂層
6. 配線
7. パッケージ電極
8. 第1樹脂層に開けた開口部
9. 配線6とパッケージ電極7とを接続するための上層配線
10. 第3樹脂層
11. 第2樹脂層に開けた開口部

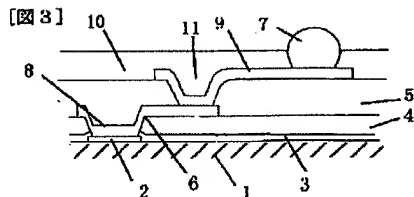
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 伊藤 光子
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 天明 浩之
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内